

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-204295

(43) 公開日 平成9年(1997) 8月5日

(51) Int.Cl.⁶

G 0 6 F 7/38
7/00

識別記号

庁内整理番号

F I

G 0 6 F 7/38
7/00

技術表示箇所

B

1 0 1 G

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-12645

(22) 出願日 平成8年(1996) 1月29日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 川口 忠春

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

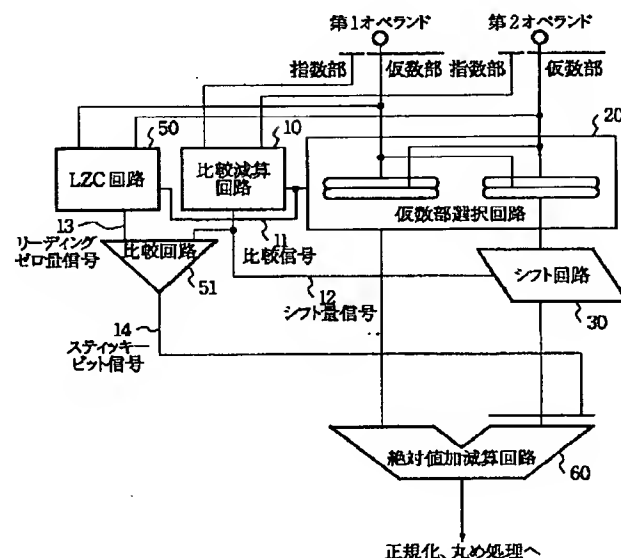
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 スティッキービット検出回路

(57) 【要約】

【課題】 丸め処理を伴う浮動小数点加減算回路において、右シフトする仮数部の最下位ビットからのビット列とシフト量に注目して高速にスティッキービットを生成するスティッキービット検出回路を提供する。

【解決手段】 入力オペランドの指数部を比較してその小さい方の仮数部の最下位ビットから0の続く数を数えるリーディングゼロ回路50と、小さい方の指数部を有するオペランドを大きい方の指数部に桁合わせを行うための仮数部右シフト量を算出する比較減算回路10と、前記リーディングゼロ回路50の出力と前記仮数部右シフト量とを比較し右シフト量が大きいためにスティッキービット“1”を送出する比較回路51とから構成される。



1

【特許請求の範囲】

【請求項 1】 丸め処理を行なう浮動小数点加減算回路のスティッキービット検出回路において、被演算数または演算数である 2 数のうち大きい方の第一の数の指数部に小さい方の第二の数の指数部を一致させるときに前記第二の数の仮数部を右シフトするシフト量と、前記第二の数の仮数部の最下位ビットから続く 0 の数をカウントしたリーディングゼロ量とを比較し、前記リーディングゼロ量よりも前記シフト量が大きいきスティッキービットを 1 とすることを特徴とするスティッキービット検出回路。

【請求項 2】 加減算する 2 数の大小を比較した比較信号と前記 2 数のうち大きい方の数に桁合せするとき小さい方の数の仮数部を右シフトするシフト量信号とを浮動小数点加減算回路から受取り、前記比較信号に従って前記 2 数のうち小さい方の数の仮数部を入力しその最下位ビットから続く 0 の数をカウントしてリーディングゼロ量信号として送出するリーディングゼロ量信号と、前記シフト量信号と前記リーディングゼロ量信号とを入力し前記リーディングゼロ量信号よりも前記シフト量信号

【請求項 3】 第 1 オペランドおよび第 2 オペランドの指数部をそれぞれ入力して比較し小さい方のオペランドを示す比較信号と大小の差を示すシフト量信号とを送出する比較減算回路と、前記比較信号に従って前記小さい方のオペランドの仮数部を入力し前記仮数部の最下位ビットから続く 0 の数をカウントしてリーディングゼロ量信号として送出するリーディングゼロ量信号と、前記シフト量信号および前記リーディングゼロ量信号を入力して比較し前記シフト量信号が前記リーディングゼロ量信号よりも大きいきスティッキービットを 1 として送出する比較回路とを有することを特徴とするスティッキービット検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はスティッキービット検出回路に関し、特に丸め処理を行なう浮動小数点加減算回路に組み込まれるスティッキービット検出回路に関する。なお、スティッキービットとは、浮動小数点表示された 2 数について指数部を大きい方の数に一致させるとき小さい方の数の仮数部を右シフトしてあふれるビットの論理和のことである。

【0002】

【従来の技術】 従来、浮動小数点演算を高速に実行するために種々な手段が工夫されている。たとえば、特開平 3-171228 号公報によれば、丸め処理に伴う桁上がりの伝搬時間を減少させることにより高速化を実現する浮動小数点演算装置が開示されている。また、上記

2

したスティッキービットを生成するタイミングを早めることによっても効果的な高速演算処理を実現できる。

【0003】 従来の浮動小数点演算におけるスティッキービットの検出は、入力オペランドの指数部を比較し、最も大きい指数部に小さい指数部を合わせるように小さい指数部を有する仮数部を指数部の差だけ右側（下位ビット側）にシフトした後、仮数部からシフトアウトするビットの全ての論理和をとることによって行なっている。

【0004】 上記のようなスティッキービットを検出するための回路は、例えば、図 3 のように構成されたものがある。同図において、第 1 オペランドと第 2 オペランドのそれぞれの指数部を比較し、第 1 オペランドと第 2 オペランドのそれぞれの指数部の大きい方から小さい方を減算する比較減算回路 10 は、比較信号 11 とシフト量信号 12 を出力する。

【0005】 また、仮数部選択回路 20 は、比較信号 11 より入力オペランドの指数部が大きい方の仮数部を絶対値加減算回路 60 へ、指数部が小さい方の仮数部をシフト回路 30 へ出力するように選択する。さらに、シフト回路 30 は、シフト量信号 12 に従って指数部が小さい方の仮数部を右へシフトさせて桁合わせを行い、シフト結果を絶対値加減算回路 60 へ、右シフト後仮数部からシフトアウトするビットの全てを OR 回路 40 へ出力する。

【0006】 そして、OR 回路 40 は、シフト回路 30 からの仮数部からシフトアウトするビットの全ての論理和をとることによってスティッキービットを検出し、絶対値加減算回路 60 へ出力する。なお、絶対値加減算回路 60 は、指数部の大きい方の仮数部と、桁合わせ後の仮数部およびスティッキービットとを絶対値加減算処理する。

【0007】 例えば、第 1 オペランドの指数部の方が大きい場合、比較減算回路 10 では指数部同士の比較から、第 1 オペランドの指数部から第 2 オペランドの指数部を減算し、減算結果をシフト量信号 12 としてシフト回路 30 へ出力する。

【0008】 また、仮数部選択回路 20 は比較信号 11 によって、第 2 オペランドの仮数部をシフト回路 30 へ出力し、第 1 オペランドの仮数部を絶対値加減算回路 60 へ出力する。さらに、シフト回路 30 は第 2 オペランドの仮数部を、シフト量信号 12 に従って右シフトする。そして仮数部のビット幅から右にシフトアウトされる全ビットを OR 回路 40 に入力して論理和をとりスティッキービットを検出する。

【0009】 ここで第 1 オペランドの仮数部と桁合わせ後の第 2 オペランドの仮数部と上記のスティッキービットとの絶対値加算処理を開始することができる。

【0010】

【発明が解決しようとする課題】 上記のように、従来の

3

スティッキービットの検出には、比較減算処理、右シフト処理、OR処理の3段階、あるいは比較減算処理、仮数部選択処理、右シフト処理、OR処理の4段階が必要となる。すなわち、3段階または4段階の処理を逐次に行っているため、本命の加減算処理までに多くの時間を費やしている。

【0011】本発明の目的は、右シフトする仮数部の最下位ビットからのビット列とシフト量に注目して高速にスティッキービットを生成するスティッキービット検出回路を提供することにある。

【0012】

【課題を解決するための手段】本発明のスティッキービット検出回路は、丸め処理を行なう浮動小数点加減算回路のスティッキービット検出回路において、被演算数または演算数である2数のうち大きい方の第一の数の指数部に小さい方の第二の数の指数部を一致させるときに前記第二の数の仮数部を右シフトするシフト量と、前記第二の数の仮数部の最下位ビットから続く0の数をカウントしたリーディングゼロ量とを比較し、前記リーディングゼロ量よりも前記シフト量が大きいときスティッキービットを1とするようにして構成される。

【0013】また、本発明のスティッキービット検出回路は、加減算する2数の大小を比較した比較信号と前記2数のうち大きい方の数に桁合せするとき小さい方の数の仮数部を右シフトするシフト量信号とを浮動小数点加減算回路から受取り、前記比較信号に従って前記2数のうち小さい方の数の仮数部を入力しその最下位ビットから続く0の数をカウントしてリーディングゼロ量信号として送出するリーディングゼロ計数回路と、前記シフト量信号と前記リーディングゼロ量信号とを入力し前記リーディングゼロ量信号よりも前記シフト量信号が大きいときスティッキービットを1として前記浮動小数点加減算回路へ送出する比較回路とを具備して構成される。

【0014】さらに、本発明のスティッキービット検出回路は、第1オペランドおよび第2オペランドの指数部をそれぞれ入力して比較し小さい方のオペランドを示す比較信号と大小の差を示すシフト量信号とを送出する比較減算回路と、前記比較信号に従って前記小さい方のオペランドの仮数部を入力し前記仮数部の最下位ビットから続く0の数を計数してリーディングゼロ量信号として送出するリーディングゼロ計数回路と、前記シフト量信号および前記リーディングゼロ量信号を入力して比較し前記シフト量信号が前記リーディングゼロ量信号よりも大きいときスティッキービットを1として送出する比較回路とを有して構成される。

【0015】すなわち、本発明によれば、リーディングゼロの計数およびその後の比較処理によってスティッキービットを検出するまでの間に、浮動小数点加減算回路では桁合わせのシフト処理並行して実行できる。そして、このシフト処理の終了と同時にスティッキービット

4

を得て加減算処理に移ることができる。

【0016】

【発明の実施の形態】次に、本発明について図面を参照しながら説明する。

【0017】図1は本発明の実施の一形態を示すブロック図である。同図では、本発明によるスティッキービット検出回路と共に、浮動小数点加減算回路の桁合わせ処理の部分を示している。また、図2は処理されるオペランドの仮数部のフォーマットを示す説明図である。すなわち、図1に示すブロック図はIEEE規格P754に準拠した浮動小数点加減算回路の一部であり、図2に示す仮数部のスティッキービットを検出する。

【0018】図2において、仮数部は56ビットからなり、最上位ビット(MSB、ビット0)を隠れビット、ビット1～ビット52を有効桁として示している。また、仮数部の最下位ビットの1ビット下位にはガードビットG、ガードビットGの1ビット下位には丸めビットR、丸めビットRより下位の全てのビットの論理和を表すスティッキービットSが、拡張されている。

【0019】図1において、比較減算回路10は、第1オペランドと第2オペランドのそれぞれの指数部E1、E2を入力し比較を行い、第1オペランドと第2オペランドのそれぞれの指数部の大きい方から小さい方を減算する。これにより、 $E1 > E2$ のとき“1”， $E1 \leq E2$ のとき“0”となる比較信号11と減算結果であるシフト量信号12とを出力する。

【0020】仮数部選択回路20は、比較信号11が“1”のとき第1オペランドの仮数部を絶対値加減算回路60へ、第2オペランドの仮数部をシフト回路30へそれぞれ出力する。また、比較信号11が“0”のとき第2オペランドの仮数部を絶対値加減算回路60へ、第1オペランドの仮数部をシフト回路30へそれぞれ出力する。

【0021】シフト回路30は、仮数部選択回路20から入力される仮数部をシフト量信号12に従って最下位ビット側の右へシフトし、指数部E1と指数部E2が同じになるように指数部が小さい方の仮数部を指数部が大きい方の仮数部に桁合わせを行う。シフト結果は絶対値加減算回路60へ出力する。

【0022】LZC回路(リーディングゼロ計数回路。以下、LZC回路という。)50は、上記の比較信号11に従って第1オペランドと第2オペランドの指数部の小さい方の仮数部を選択し、その最下位ビットから上位ビット方向に、0の続く数を数えるリーディングゼロ処理を行い、リーディングゼロ量信号13を比較回路51へ出力する。リーディングゼロ処理対象の仮数部は入力オペランドの仮数部であり、ガードビットGと丸めビットRの拡張前のものである。そこでガードビットGと丸めビットRの2ビット分に“0”をシフトインし、ビット52からビット1までをリーディングゼロ処理する。

5

【0023】比較回路51は、LZC回路50が送出するリーディングゼロ量信号13とシフト量信号12とを入力して比較処理を行い、リーディングゼロ量信号13がシフト量信号12以上のとき“0”，シフト量信号12がリーディングゼロ量信号13より大きいときに“1”となるスティッキービット信号14を送出する。また、これはスティッキービットSとして絶対値加減算回路60へ入力される。

【0024】スティッキービットは、桁合わせの仮数部右シフト後に丸めビットRより下位の全てのビットの論理和を表すものであり、シフト量信号12がリーディングゼロ量信号13より大きければシフトアウトしたビット列に、少なくとも“1”が存在し、スティッキービットを検出できることは明かである。

【0025】次に、上記のスティッキービット検出回路の動作について説明する。

【0026】2つのオペランドはそれぞれ仮数部が仮数部選択回路20とLZC回路50へ、指数部が比較減算回路10へ入力される。

【0027】そして、比較減算回路10では、たとえば第1オペランドの指数部の方が大きい場合、指数部同士
20の比較から比較信号11が“1”となり、第1オペランドの指数部から第2オペランドの指数部を減算し、減算結果をシフト量信号12としてシフト回路30へ出力する。

【0028】また、仮数部選択回路20は比較信号11の“1”によって、第2オペランドの仮数部をシフト回路30へ出力し、第1オペランドの仮数部を絶対値加減算回路60へ出力する。

【0029】LZC回路50は比較信号11の“1”によって第2オペランドの仮数部の最下位ビットからGの続く数を数えるリーディングゼロ処理を行い、リーディングゼロ量信号13を比較回路51へ出力する。

【0030】比較回路51はリーディングゼロ量信号13とシフト量信号12の比較処理を行い、比較結果をスティッキービットS（スティッキービット信号14）として絶対値加減算回路60へ出力する。

【0031】例えば、仮数部がすべて“1”のときにはリーディングゼロ量は“2”であり、桁合わせの仮数部右シフト量が“2”より大きければシフトアウトされる
40ビットには必ず“1”があるのでスティッキービットは

6

“1”となる。また、桁合わせの仮数部右シフト量が“2”以下のときは、スティッキービットは“0”である。

【0032】シフト回路30は第2オペランドの仮数部を、シフト量信号12に従って右シフトする。シフト結果にはガードビットGと丸めビットRと比較回路51からのスティッキービットSを拡張して絶対値加減算回路60へ入力する。そして第1オペランドの仮数部と桁合わせされたシフト回路からの仮数部とは絶対値加減算回路60で加減算処理され、正規化処理および丸め処理を経て解が得られる。

【0033】

【発明の効果】以上、詳細に説明したように、本発明によれば、丸め処理を行う浮動小数点加減算回路において、入力オペランドの最下位ビットから0の続く数を数えた値と指数部桁合わせのための仮数部の右シフト量とを比較し、右シフト量の方が大きいときにスティッキービットが存在することを示す回路を設けたので、仮数部の右シフト後に仮数部からシフトアウトする全ビットの論理和をとらずに済む。したがって、スティッキービットの検出時間を削減し、浮動小数点加減算を高速化できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示すブロック図である。

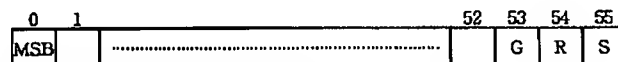
【図2】浮動小数点演算される仮数部のフォーマットを示す説明図である。

【図3】従来のスティッキービット検出回路の一例を示すブロック図である。

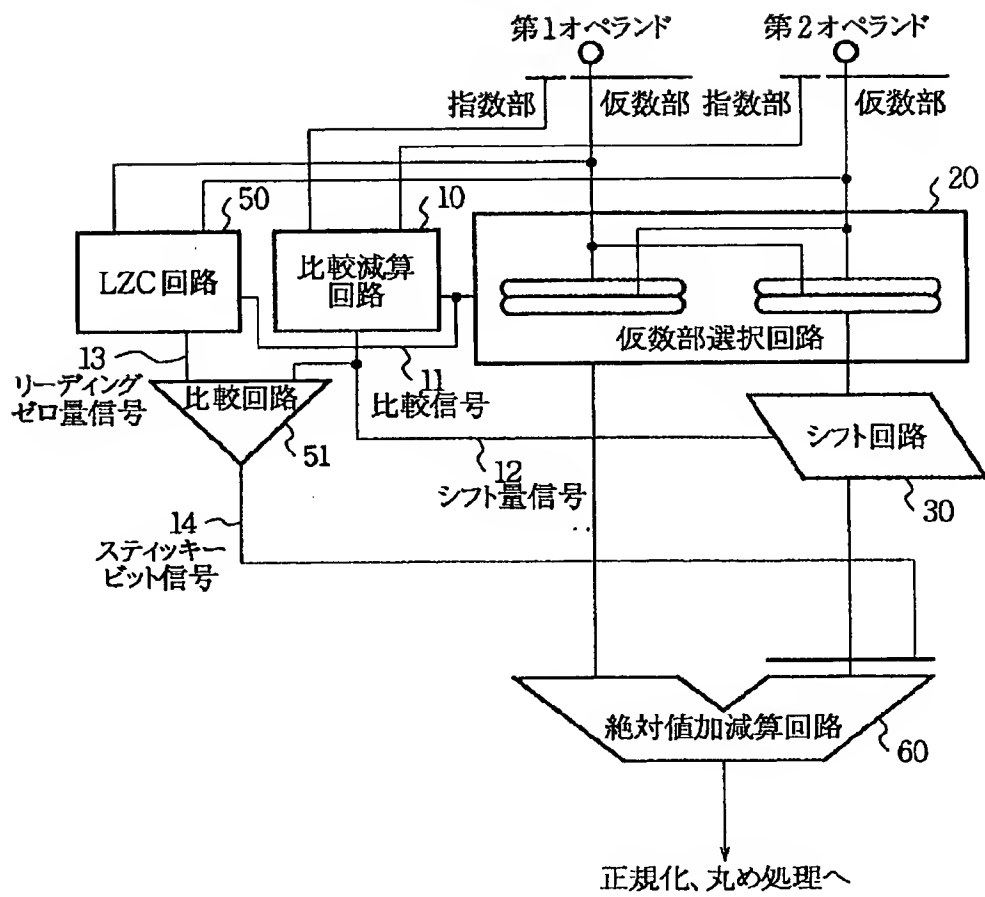
【符号の説明】

10	比較減算回路
11	比較信号
12	シフト量信号
13	リーディングゼロ量信号
14	スティッキービット信号
20	仮数部選択回路
30	シフト回路
50	LZC回路
51	比較回路
60	絶対値加減算回路

【図2】



【図1】



【図3】

